

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-021440

(43)Date of publication of application : 28.01.1994

(51)Int.Cl.

H01L 29/784  
H01L 29/46  
H01L 29/62  
H01L 21/338  
H01L 29/812

(21)Application number : 04-175121

(71)Applicant : NEC CORP

(22)Date of filing : 02.07.1992

(72)Inventor : ABIKO HITOSHI

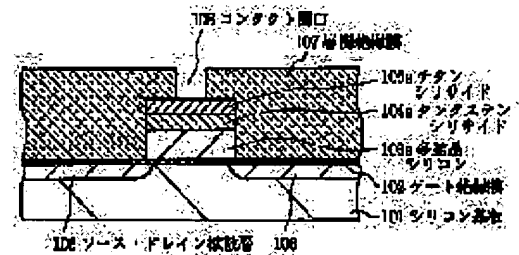
## (54) MIS-TYPE FET

### (57)Abstract:

**PURPOSE:** To prevent a contact resistance for the gate electrode of a metal wiring from increasing by constituting the gate electrode with a film where polycrystalline silicon, tungsten silicide, and titanium silicide are laminated successively.

**CONSTITUTION:** First, a gate insulation film 102 is formed on the surface of a silicon substrate 101 and polycrystalline silicon 103, tungsten silicide 104, and titanium silicide 105 are laminated successively on it, thus forming a three-layer lamination film. Then, the lamination film is subjected to patterning, thus forming a gate electrode consisting of titanium silicide 105a, tungsten silicide 104a, and polycrystalline silicon 103a.

Then, a source/drain diffusion layer 106 is formed by implanting an impurity with the gate electrode as a mask. Then, an interlayer insulation film 107 is formed and contact opening 108 is formed thus reducing the contact resistance of a metal wiring for the gate electrode of a manufactured MIS-type FET.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-21440

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/784

29/46

29/62

D 9055-4M

G 9055-4M

7377-4M

7376-4M

H01L 29/78

29/80

301 G

M

審査請求 未請求 請求項の数1(全4頁) 最終頁に続く

(21)出願番号

特願平4-175121

(22)出願日

平成4年(1992)7月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 安彦 仁

東京都港区芝五丁目7番1号日本電気株式

会社内

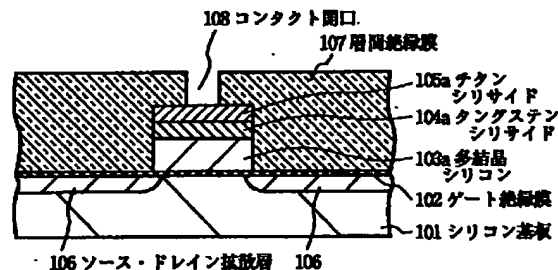
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 MIS型FET

(57)【要約】

【目的】MIS型FETにおけるゲート電極と金属配線とのコンタクト抵抗を低減する。

【構成】MIS型FETのゲート電極を、多結晶シリコン103a、タングステンシリサイド104a、およびチタンシリサイド105aからなる3層の積層膜により形成する。



## 【特許請求の範囲】

【請求項1】 シリコン基板上に形成されたMIS型FETであって、多結晶シリコン、タングステンシリサイド、およびチタンシリサイドが積層されてなるゲート電極を有することを特徴とするMIS型FET。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はMIS型FETに関し、特にMIS型FETのゲート電極の構造に関する。

## 【0002】

【従来の技術】MIS型FETの製造方法を説明するための工程順の断面図である図4を参照すると、従来のMIS型FETは、以下のように形成されている。まず、例えばP型のシリコン基板201の表面にゲート絶縁膜202を形成し、全面に多結晶シリコンとチタンシリサイドとからなる積層膜を形成した後、この積層膜をパターンニングして多結晶シリコン203aとチタンシリサイド205aとからなるゲート電極を形成する〔図4(a)〕。次に、このゲート電極をマスクにしたイオン注入によりシリコン基板201の表面にN型のソース・ドレイン拡散層206を形成し、全面に層間絶縁膜207を堆積した後、上記ゲート電極等へ達するコンタクト開口208を層間絶縁膜207に設ける。

【0003】上述したようにゲート電極が多結晶シリコン203aとチタンシリサイド205aとからなる積層膜で形成されているのは、他のシリサイドに比べてチタンシリサイドの比抵抗は最も低いものの1つであるからである。製品ベースでは多結晶シリコンとチタンシリサイドより比抵抗が5倍程度高いタングステンシリサイドやモリブデンシリサイドとの積層膜からなるゲート電極が用いられているが、近年のLSIの高集積化に伴ってゲート電極の抵抗値の低減も重要となり、ゲート電極の構成材料としてチタンシリサイドが重視されだしている。

## 【0004】

【発明が解決しようとする課題】上述した従来のMIS型FETのゲート電極では、コンタクト開口208を介して金属配線をゲート電極に接続するとき、コンタクト抵抗が大きくなるという問題点がある。このような問題点の存在は、MIS型FETの動作速度の構造に対する大きな支障となる。このようにコンタクト抵抗が大きくなるのは、以下に示す理由による。

【0005】層間絶縁膜207を異方性エッチングしてチタンシリサイド205aに達するコンタクト開口208を形成したのち金属配線用の金属膜の成膜を行なうに際して、コンタクト開口208に露出したチタンシリサイド205aの表面の自然酸化膜を除去する必要がある。この自然酸化膜の除去は、稀フッ酸や希硫酸等で行なうが、この処理によりチタンシリサイド205aも溶けて薄くなり、チタンシリサイド205aのシート抵抗

が増大する。あるいは、この処理によりチタンシリサイド205aも完全に除去された場合、金属配線はチタンシリサイドより1桁高い比抵抗を有する多結晶シリコン203aに直接に接続することになる。

## 【0006】

【課題を解決するための手段】本発明によると、MIS型FETのゲート電極は、多結晶シリコン、タングステンシリサイド、およびチタンシリサイドが順次積層された膜からなる。

## 10 【0007】

【実施例】次に、本発明について図面を参照して説明する。

【0008】MIS型FETの断面図である図1を参照すると、本発明の一実施例のMIS型FETは、例えばP型のシリコン基板101と、シリコン基板101表面に設けられたN型のソース・ドレイン拡散層106、およびゲート絶縁膜102と、多結晶シリコン103a、タングステンシリサイド104a、およびチタンシリサイド105aが順次積層された膜からなるゲート絶縁膜102上に設けられたゲート電極と、ゲート電極を含めてこのシリコン基板101を覆う層間絶縁膜107と、層間絶縁膜107に設けられた上記チタンシリサイド105aに達するコンタクト開口108とを少なくとも有している。

【0009】ゲート電極がこのような構造であるため、金属配線用の金属膜の成膜の前処理としてチタンシリサイド105aの表面の自然酸化膜の除去を稀フッ酸や希硫酸等で行なうに際して、従来のようなコンタクト抵抗の増大は起らない。この処理によりチタンシリサイド105aが溶けて薄く、あるいは除去されても、これの下地のタングステンシリサイド104aは溶けない。タングステンシリサイド104aの比抵抗はチタンシリサイド105aの比抵抗の5倍程度であるが、多結晶シリコンの比抵抗より1桁以上小さい。このため、コンタクト抵抗の大幅な増大は避けられる。実験測定の結果、上記一実施例の構造では、従来構造のMIS型FETに比べて、コンタクト抵抗の値は15%程度減少した。

【0010】MIS型FETの製造方法を説明するための工程順の断面図である図2を併せて参照すると、上記第1の実施例の構造のMIS型FETの製造方法は、まず、P型のシリコン基板101の表面にゲート絶縁膜102を形成する。続いて、ゲート絶縁膜102上に、順次多結晶シリコン103、タングステンシリサイド104、およびチタンシリサイド105を成膜し、3層の積層膜を形成する〔図2(a)〕。次に、異方性エッチングによりこの積層膜をパターンニングして、チタンシリサイド105a、タングステンシリサイド104a、および多結晶シリコン103aからなるゲート電極を形成する。続いて、このゲート電極をマスクにしたN型不純物のイオン注入により、ソース・ドレイン拡散層106を

3

4

形成する〔図2(b)〕。次に、層間絶縁膜107の成膜、コンタクト開口108の形成を行なうことにより、図1に示した構造のMIS型FETが形成される。

【0011】MIS型FETの製造方法を説明するための断面図である図3を併せて参照すると、上記第1の実施例の構造のMIS型FETの別の製造方法は、第3層目のチタンシリサイド105の成膜の代りに第2の多結晶シリコンを成膜し、これを含んだ3層の積層膜をパターンニングして多結晶シリコン113a、タングステンシリサイド104a、および多結晶シリコン103aからなる積層パターンを形成し、この積層パターンの側面にゲート絶縁膜102と異なる材料からなる側壁絶縁膜117を形成し、これと前後してソース・ドレイン拡散層106を形成する。続いて、全面にチタン115を成膜する〔図3〕。次に、不活性雰囲気中で熱処理すると、多結晶シリコン113aとチタン115とのシリサイド化反応によりチタンシリサイドが形成され、図1に示した構造のゲート電極が形成される。

【0012】なお、上記別の製造方法において、側壁絶縁膜117をゲート絶縁膜102と同じ材料で形成すると、ソース・ドレイン拡散層106の表面にもチタンシリサイドが形成され、いわゆるサリサイド構造のソース・ドレイン拡散層が得られる。

【0013】

【発明の効果】以上説明したように本発明のMIS型F

ETは、ゲート電極に対する金属配線のコンタクト抵抗は減少する。このため、MIS型FETの動作速度は大幅に向上する。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための断面図である。

【図2】上記一実施例の製造方法を説明するための工程順の断面図である。

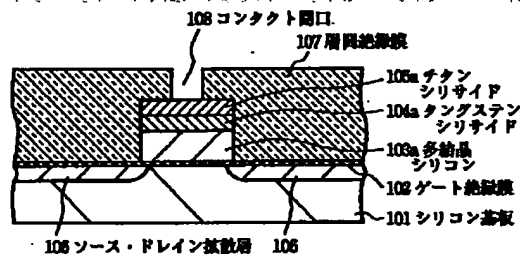
【図3】上記一実施例の別の製造方法を説明するための工程順の断面図である。

【図4】従来のMIS型FETを製造方法に沿って説明するための工程順の断面図である。

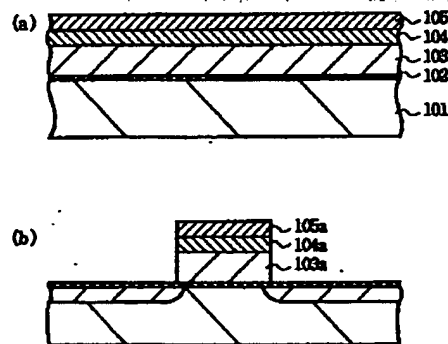
【符号の説明】

101, 201 シリコン基板  
102, 202 ゲート絶縁膜  
103, 103a, 113a, 203a 多結晶シリコン  
104, 104a タングステンシリサイド  
105, 105a, 205a チタンシリサイド  
106, 206 ソース・ドレイン拡散層  
107, 207 層間絶縁膜  
108, 208 コンタクト開口  
115 チタン  
117 側壁絶縁膜

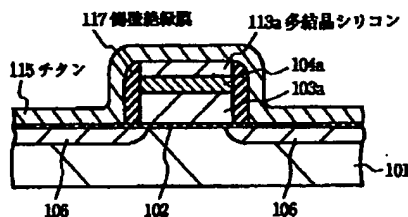
【図1】



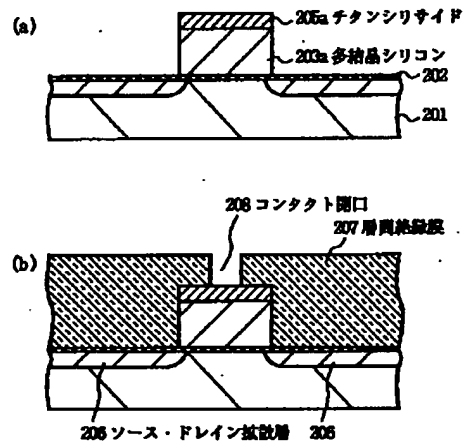
【図2】



【図3】



【図4】



フロントページの続き

(51)Int. Cl.<sup>5</sup>

H01L 21/338

29/812

識別記号

庁内整理番号

F I

技術表示箇所

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the structure of the gate electrode of the MIS mold FET about the MIS mold FET.

[0002]

[Description of the Prior Art] Reference of drawing 4 which is the sectional view of the order of a process for explaining the manufacture approach of the MIS mold FET forms the conventional MIS mold FET as follows. First, after forming gate dielectric film 202 in the front face of the silicon substrate 201 of P type, for example and forming in the whole surface the cascade screen which consists of polycrystalline silicon and titanium silicide, the gate electrode which carries out patterning of this cascade screen, and consists of polycrystalline silicon 203a and titanium silicide 205a is formed [ drawing 4 (a)]. Next, after forming the source drain diffusion layer 206 of N type in the front face of a silicon substrate 201 by the ion implantation which used this gate electrode as the mask and depositing an interlayer insulation film 207 on the whole surface, the contact opening 208 attained to the above-mentioned gate electrode etc. is formed in an interlayer insulation film 207.

[0003] It is because it is one of what [ the ] has the lowest specific resistance of titanium silicide to be formed by the cascade screen which a gate electrode becomes from polycrystalline silicon 203a and titanium silicide 205a as mentioned above compared with other silicide. Although the gate electrode which consists of a cascade screen with tungsten silicide with specific resistance high about 5 times or molybdenum silicide is used from polycrystalline silicon and titanium silicide with the product base, reduction of the resistance of a gate electrode also becomes important with high integration of LSI in recent years, and titanium silicide is beginning to be thought as important as a component of a gate electrode.

[0004]

[Problem(s) to be Solved by the Invention] In the gate electrode of the conventional MIS mold FET mentioned above, when connecting metal wiring to a gate electrode through the contact opening 208, there is a trouble that contact resistance becomes large. Such existence of a trouble serves as big trouble over the structure of the working speed of the MIS mold FET. Thus, it is based on the reason shown below that contact resistance becomes large.

[0005] After forming the contact opening 208 which carries out anisotropic etching of the interlayer insulation film 207, and reaches titanium silicide 205a, it faces forming the metal membrane for metal wiring, and it is necessary to remove the natural oxidation film of the front face of titanium silicide 205a exposed to the contact opening 208. Although rare fluoric acid, a dilute sulfuric acid, etc. perform clearance of this natural oxidation film, titanium silicide 205a also melts by this processing, it becomes thin, and the sheet resistance of titanium silicide 205a increases. Or when titanium silicide 205a is also thoroughly removed by this processing, metal wiring will be directly connected to polycrystalline silicon 203a which has specific resistance higher a single figure than titanium silicide.

[0006]

[Means for Solving the Problem] According to this invention, the gate electrode of the MIS mold FET consists of film with which the laminating of polycrystalline silicon, tungsten silicide, and the titanium silicide was carried out one by one.

[0007]

[Example] Next, this invention is explained with reference to a drawing.

[0008] When drawing 1 which is the sectional view of the MIS mold FET is referred to, the MIS mold FET of one example of this invention For example, the silicon substrate 101 of P type, and the source drain diffusion layer 106 of N type prepared in silicon substrate 101 front face and gate dielectric film 102, The gate electrode prepared on the gate dielectric film 102 with which polycrystalline silicon 103a, tungsten silicide 104a, and titanium silicide 105a consist of film by which the laminating was carried out one by one, It has at least the contact opening 108 which reaches the above-mentioned titanium silicide 105a in which this silicon substrate 101 including a gate electrode was formed by the wrap interlayer insulation film 107 and the interlayer insulation film 107.

[0009] Since a gate electrode is such structure, it faces removing the natural oxidation film of the front face of titanium silicide 105a with rare fluoric acid, a dilute sulfuric acid, etc. as pretreatment of membrane formation of the metal membrane for metal wiring, and buildup of contact resistance like before does not take place. Even if titanium silicide 105a melts by this processing, and it is thin or is removed, tungsten silicide 104a of the substrate of this does not melt. Although the specific resistance of tungsten silicide 104a is about 5 times of the specific resistance of titanium silicide 105a, it is smaller than the specific resistance of polycrystalline silicon single or more figures. For this reason, large buildup of contact resistance is avoided. With the structure of a up Norikazu example, the value of contact resistance decreased about 15% compared with the MIS mold FET of structure conventionally as a result of experiment measurement.

[0010] If drawing 2 which is the sectional view of the order of a process for explaining the manufacture approach of the MIS mold FET is referred to collectively, the manufacture approach of the MIS mold FET of the structure of the 1st example of the above will form gate dielectric film 102 in the front face of the silicon substrate 101 of P type first. Then, on gate dielectric film 102, polycrystalline silicon 103, tungsten silicide 104, and titanium silicide 105 are formed one by one, and the cascade screen of three layers is formed [ drawing 2 (a)]. Next, patterning of this cascade screen is carried out by anisotropic etching, and the gate electrode which consists of titanium silicide 105a, tungsten silicide 104a, and polycrystalline silicon 103a is formed. Then, the source drain diffusion layer 106 is formed by the ion implantation of the N type impurity which used this gate electrode as the mask [ drawing 2 (b)]. Next, the MIS mold FET of the structure shown in drawing 1 is formed by performing membrane formation of an interlayer insulation film 107, and formation of the contact opening 108.

[0011] When drawing 3 which is a sectional view for explaining the manufacture approach of the MIS mold FET is referred to collectively, the another manufacture approach of the MIS mold FET of the structure of the 1st example of the above The 2nd polycrystalline silicon is formed instead of membrane formation of the titanium silicide 105 of the 3rd layer. The laminating pattern which carries out patterning of the cascade screen containing this of three layers, and consists of polycrystalline silicon 113a, tungsten silicide 104a, and polycrystalline silicon 103a is formed. The side-attachment-wall insulator layer 117 which consists of a different ingredient from gate dielectric film 102 is formed in the side face of this laminating pattern, it gets mixed up with this and the source drain diffusion layer 106 is formed. Then, titanium 115 is formed on the whole surface [ drawing 3 ]. Next, if it heat-treats in an inert atmosphere, titanium silicide will be formed of the silicide-ized reaction of polycrystalline silicon 113a and titanium 115, and the gate electrode of the structure shown in drawing 1 will be formed.

[0012] In addition, in the manufacture approach according to above, if the side-attachment-wall insulator layer 117 is formed with the same ingredient as gate dielectric film 102, titanium silicide will be formed also in the front face of the source drain diffusion layer 106, and the so-called source drain diffusion layer of the Salicide structure will be acquired.

[0013]

[Effect of the Invention] As explained above, contact resistance of as opposed to a gate electrode in the MIS mold FET of this invention of metal wiring decreases. For this reason, the working speed of the MIS mold FET improves substantially.

---

[Translation done.]



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view for explaining one example of this invention.

[Drawing 2] It is the sectional view of the order of a process for explaining the manufacture approach of a top Norikazu example.

[Drawing 3] It is the sectional view of the order of a process for explaining the another manufacture approach of a top Norikazu example.

[Drawing 4] It is the sectional view of the order of a process for explaining the conventional MIS mold FET in accordance with the manufacture approach.

[Description of Notations]

101,201 Silicon substrate

102,202 Gate dielectric film

103,103a, 113a, 203a Polycrystalline silicon

104,104a Tungsten silicide

105,105a, 205a Titanium silicide

106,206 Source drain diffusion layer

107,207 Interlayer insulation film

108,208 Contact opening

115 Titanium

117 Side-Attachment-Wall Insulator Layer

---

[Translation done.]

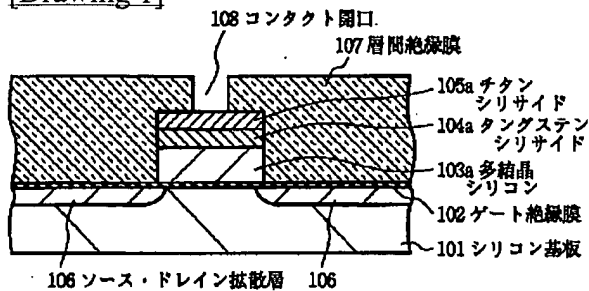
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

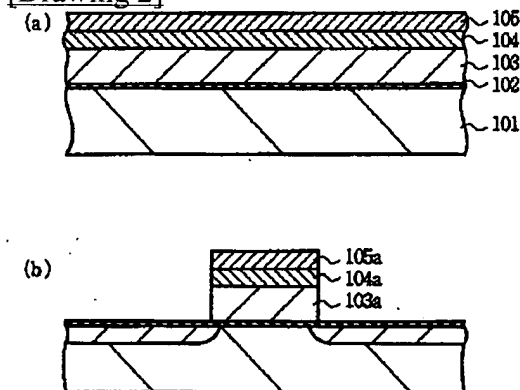
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

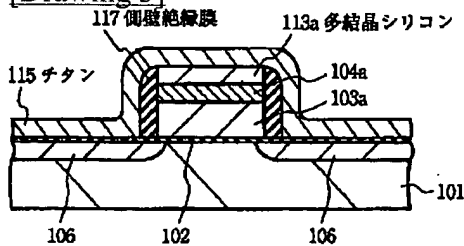
[Drawing 1]



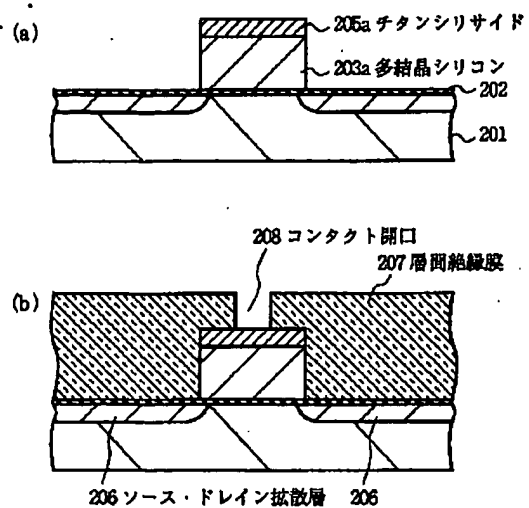
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

\*NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The MIS mold FET characterized by having the gate electrode with which are the MIS mold FET formed on the silicon substrate, and it comes to carry out the laminating of polycrystalline silicon, tungsten silicide, and the titanium silicide.

---

[Translation done.]